

G778H-US

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-198828
 (43)Date of publication of application : 08.10.1985

(51)Int.CI. H01L 21/306
 H01L 29/80

(21)Application number : 59-055631 (71)Applicant : NEC CORP
 (22)Date of filing : 23.03.1984 (72)Inventor : ITO HITOSHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

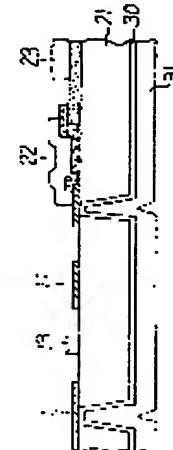
PURPOSE: To form chip size of a semiconductor device in a small type by a method wherein far-ultraviolet radiation having the prescribed wavelength is projected to perform etching from a back of a substrate in regard to electrodes necessitating to be earthed out of electrodes of the plural number provided to the semiconductor device to dig penetrating holes to reach the undersurfaces of the electrodes, and metal layers are buried therein.

CONSTITUTION: A source electrode 12, a gate electrode 13 and a drain electrode 14, etc. for an FET are provided on the surface of a substrate 21 consisting of GaAs, etc., and moreover a matching element 22, a capacitor 23 for an RF short, etc. are formed adjoining to the electrode 14 to construct a monolithic amplifier.

Then when the electrode 12 and the electrode of the matching element 22 are to be earthed, etching is performed using an etchant consisting of

$H_2SO_4 + H_2O_2 + 3H_2O$ from the back of the substrate 21

using a resist film as a mask. At the same time, far-ultraviolet radiation of the wavelength range of 200W300nm is projected to the parts thereof to dig sharply penetrating holes to reach the undersurfaces of the electrodes intending to be earthed. After then, an AuGeNi-Au layer 30 is adhered on the substrate 21 and the wall surfaces of the penetrating holes, an Au layer 31 is laminated burying the holes, and the Au layer thereof is earthed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

⑫ 公開特許公報 (A) 昭60-198828

⑬ Int.Cl.⁴
H 01 L 21/306
29/80識別記号
厅内整理番号
B-8223-5F
7925-5F

⑭ 公開 昭和60年(1985)10月8日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特願 昭59-55631

⑰ 出願 昭59(1984)3月23日

⑱ 発明者 伊藤 仁 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代理人 弁理士 内原 晋

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体トランジスタの電極領域を接地する工程において、接地面から半導体を選択的に上記電極領域に達するまで、波長範囲 200~300 nm の深紫外光を被エッチング基板に照射せしめてエッチングし貫通孔を設ける工程と、金属膜をエッチング面に被覆することにより、上記電極領域を接地する工程とを行うことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置、特に超高速トランジスタの製造方法に関するものである。

〔従来技術とその問題点〕

近来、半導体トランジスタは動作周波数が X 帯 (~ 10 GHz) 以上で所望の特性を満足することが要求されてきている。

このような超高周波帯で動作するトランジスタにおいては、ソース領域の接地を従来のボンディングワイヤにより取る方法では、接地インダクタンスが無視できなくなり、回路整合へ影響を与える特性上問題があった。この点の改善の為の従来の方法として、ソース領域よりチップ側面に導体金属を設け、これを接地面と接続して、接地を取っていた。しかしながら、この方法では、個々のベレットに分離した後、1個ずつ、例えば電解メッキにより導体金属層を形成しており、工数の点又チップ内任意の位置に接地領域を設けられないという設計上の融通性に欠けていた。一方、別の改善方法として、チップ内任意の位置で半導体基板に貫通孔を設け、該貫通孔の側面に導体金属を被覆せしめて接地を取る、所謂、バイアホール構造によりなされることが最近行なわれ、特にチップの小形化を計り、量産、低価化を目指したモノリシック集積回路等にも適用されるに至っている。この様なバイアホール構造により接地を取る半導体装置の従来の製造方法は実際には IEEE ED 誌

1978年10月号に掲載されている L. A. DASARO らの論文によれば、第1図に示すように、ソース電極12、ゲート電極13、ドレイン電極14からなるトランジスタのソース電極12に対向する半導体基板11裏面に選択的にホトレジストマスク18を形成し(第1図(a))、硫酸+過酸化水素水+水=1:1:3(体積比)のエッチング液を用いて、例えば基板厚みが150μmの場合には液温60°Cで25分間エッチングすることにより、基板11に貫通孔11aを設け(第1図(b))、レジストマスク除去後、真空蒸着法により金を数1000Å、更に電解メッキにより、金16を2.5μm施し、バイアホールを通して裏面とソース領域を電気的に導通を取り、ソースへのチップマウントによって接地を取つてい(第1図(c))た。しかしながら、この様な従来のエッチングにより、バイアホールを形成し、接地を取つた半導体装置の製造方法では、エッチング速度が遅く、前記の様に150μmの半導体基板をエッチングするのに25分という長時間を有していること、更には、サイドエッチング量が垂直方向と同程度、

即ち、エッチング断面の傾斜角が45°となり、ソース領域に到達するまでエッチングし貫通孔を設けるために、対向部面積は最低で300μm角を必要とし、チップの小形化の面での大きさ欠点となつていて。一方 A.P.L誌1988年3月号に掲載されている Grag C Tisone らの論文によれば化学エッチング時に、短波長光を基板に照射する事により、そのエッチング速度は波長に反比例して大きくなり、又、光の強度が強ければサイドエッチング量も少なく、例えばレーザ光の場合には150μmの基板をエッチングするのに2~3分の短時間で、又そのエッチング断面形状もほぼ垂直なものが得られる事が報告されている。

[発明の目的]

本発明は従来の、この様なバイアホール構造により接地を取る半導体装置の製造方法において、半導体基板のエッチングにより貫通孔を形成するのに長時間を要すること、およびエッチング断面傾斜角が45°と緩やかために、アース領域に大面积を必要とするという欠点を解決した半導体装

置、特に、超高周波トランジスタの製造方法を提供することにある。

[発明の構成]

本発明は半導体トランジスタのソース領域を接地する工程において、接地面から半導体を選択的にソース領域に達するまで波長範囲200~300nmの深紫外光を被エッチング基板に照射せしめてエッチングし貫通孔を設ける工程と、金属膜をエッチング面に被着することによりソース領域を接地する工程とを行うことを特徴とする半導体装置の製造方法である。

[実施例]

以下、本発明の具体的実施例についてガリウム砒素(以下、GaAsという)を用いたモノリシック増幅器を例にとって、図面を参照して詳細に説明する。

まず、ソース電極12、ゲート電極13、ドレイン電極14からなるFETおよび整合素子22、RFショート用キャバシタ23を設け、150μm厚と薄化したGaAs基板21に対して、第2図(a)に示すように、

該GaAs基板を石英板24に接着材25で貼り付け、補強した後FETソース領域およびキャバシタのアース領域に對向するGaAs基板裏面に選択的にホトレジストマスク26を両面に合せ露光機を用いて通常の写真蝕刻法により形成する。次に、第2図(b)のように該基板をH₂SO₄+H₂O₂+3H₂Oのエッチング液中にて、60°Cでキセノンランプ27(FX-38C-3)のパルス駆動回路28に入力電圧として2.5(kV)を印加し、パルス幅40μsec、照射レート1pulse/secでパルス状に深紫外光29を照射しながら、GaAs基板をアース領域に到達するまでエッチングする。次に、ホトレジストマスク除去後、第2図(c)に示すように、真空蒸着によりAuGeNi-Au30を被着し、更にAu81を2.5μm厚メッキすることによってFETおよび整合素子22、RFショート用キャバシタ23のアースをバイアホールを通して、裏面と接続する。以下、ウェハを石英板24から取り外し、チップ化することにより、バイアホール構造のGaAsモノリシック増幅器(第2図(d))が得られる。

[発明の効果]

本発明により得られた第2図に示す GaAs モノリシック増幅器と従来のもの(前記文献及び第1図に示したもの)とを、まず、エッティング速度を比較した結果を第3図に示す。エッティング液は $H_2SO_4 + H_2SO_4 + 3H_2O$ であり、液温は 60°C である。この図からも本発明による方法が、従来法よりも約 3 倍エッティング速度が大きく、例えば 150 μm の GaAs 基板をエッティング貫通し、バイアホール構造を形成するのに要する時間が 25 分から 8 分に短縮される。次に、バイアホール構造の断面形状を第4図(a)(b)に比較して示す。第4図(a)の従来のものがエッティング深さとオーバーエッティング量が同程度、即ち孔 11a のエッティング傾斜角度が 45° であるのに対して、本発明のものは、オーバーエッティング量が $1/10$ 以下と少なく、従って、例えば裏面のエッティング開孔 21a の 3.0 μm 角に対して、基板厚が 150 μm の場合には対向するソース領域は従来 330 μm 角になるのに対して、本発明の場合には 80 μm 角と大幅に所要面積の低減を図る事が出来る。

以上詳細に述べた通り、本発明によれば半導体トランジスタの接地を裏面からバイアホールを通して取る場合にそのバイアホール構造の形成に所要する時間の短縮およびアース領域の所要面積を大幅に低減する事によるチップサイズの小型化が図られ、トランジスタ製造上の歩留りの向上および処理枚数の増加に伴ない、低価格化をはかることができる効果を有するものである。

4. 図面の簡単な説明

第1図(a)～(c)は従来の半導体トランジスタの製造方法を示すための図、第2図(a)～(d)は本発明の半導体トランジスタの製造方法を示すための図、第3図は本発明の効果を示すためのエッティング速度を従来法と比較して示した図、第4図(a)、(b)は本発明の効果を示すためのバイアホール断面形状を従来法と比較して示した図である。

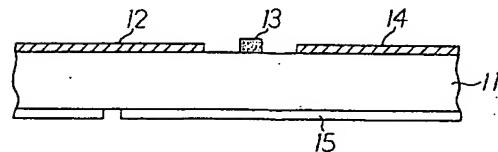
11…半導体基板、12…ソース電極、13…ゲート電極、14…ドレイン電極、15, 16…ホトレジストマスク、16…金、21…GaAs基板、22…整合素子、23…キャパシタ、24…石英板、25…接着材、27…キ

セノンランプ、28…パルス駆動回路、29…深紫外光、30…AuGeNi/Au、31…メッキ Au。

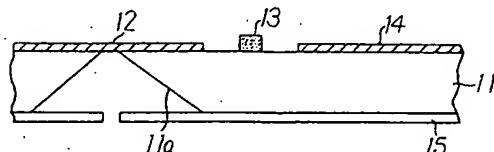
特許出願人 日本電気株式会社

代理人 井理士 内 原 誠 

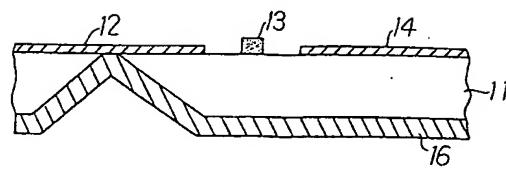
第1図 (a)



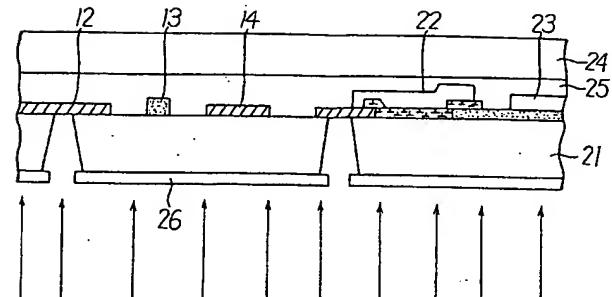
第1図 (b)



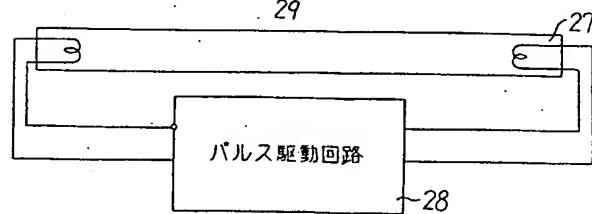
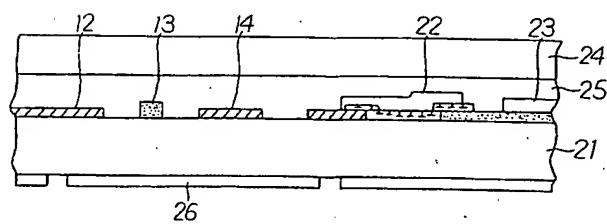
第1図 (c)



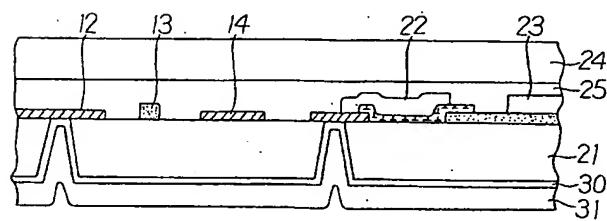
第2図 (b)



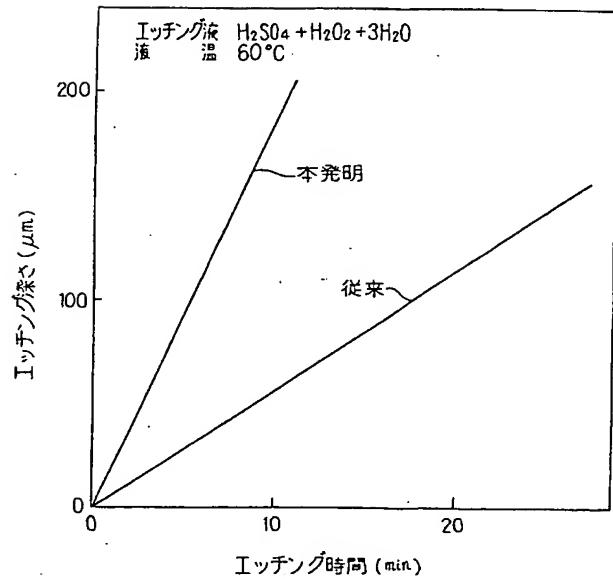
第2図 (a)



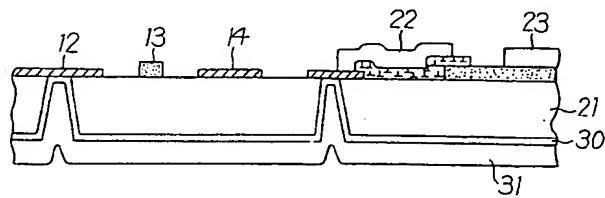
第2図 (c)



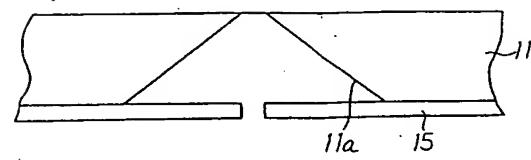
第3図



第2図 (d)



第4図 (a)



第4図 (b)

